

JA 0022492

JAN 1986

(54) DYNAMIC RAM

(11) 61-22492 (A)

(43) 31.1.1986 (19) JP

(21) Appl. No. 59-142332

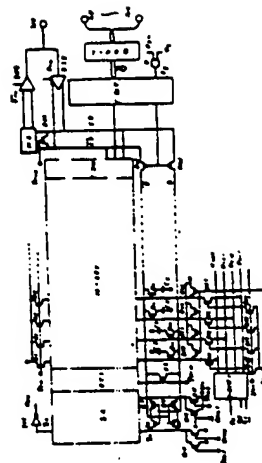
(22) 11.7.1984

(71) HITACHI SEISAKUSHO K.K. (72) KUNIO ONO(2)

(51) Int. Cl. G11C11/34

PURPOSE: To improve an action margin and to speed up an action by regulating column selection timing with the aid of a signal from monitoring the action state of a sensor amplifier.

CONSTITUTION: The action voltage S_n of a sensor amplifier SA is monitored by an inverter IV2 the farthest from power switch N-channel MOSFETs Q10 and Q11 and P-channel MOSFETs Q12 and Q13. When the fact is detected that the necessary and sufficient voltage for an amplifying action is supplied, and a voltage S_m comes to about a grounding potential, a timing signal ϕ_{sm} outputted by the inverter IV2 goes to "H", and an AND gate G is opened, whereby a selection signal ϕ_y is supplied to a column decoder C-DCR. Consequently, the column selection timing can be set at the optimum timing irrespective of the dispersion of an element characteristic and the fluctuation of a power source, and the useless time margin is made unnecessary. As a result, an action margin can be improved and an action can be sped up.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-22492

⑪ Int.Cl.⁴
G 11 C 11/34

識別記号
1 0 1

庁内整理番号
8522-5B

⑬ 公開 昭和61年(1986)1月31日

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 ダイナミック型RAM

⑮ 特 願 昭59-142332

⑯ 出 願 昭59(1984)7月11日

⑰ 発 明 者 小 野 邦 夫 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑱ 発 明 者 柳 沢 一 正 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑲ 発 明 者 佐 藤 克 之 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 ダイナミック型RAM

特許請求の範囲

1. 一対の相補データ線にその入出力端子が結合されたセンスアンプ回路と、動作タイミング信号に従って上記複数のセンスアンプ回路に共通に動作電圧を供給するパワースイッチMOSFETと、上記センスアンプ回路とパワースイッチMOSFETとの共通接続点の電圧を受ける電圧比較回路と、この電圧比較回路によって形成されたセンスアンプ回路の動作状態のモニター出力によってその選択動作タイミングが規定されるカラム選択回路とを具備することを特徴とするダイナミック型RAM。

2. 上記センスアンプ回路は、PチャンネルMOSFETとNチャンネルMOSFETとからなるCMOSラッチ回路を構成するものであり、PチャンネルMOSFETとNチャンネルMOSFETとで構成されたパワースイッチMOSFETによって電源電圧及び回路の接地電位との動作電圧

が供給されるものであることを特徴とする特許請求の範囲第1項記載のダイナミック型RAM。

3. 上記電圧比較回路は、パワースイッチMOSFETによって供給される動作電圧の近傍の電圧値に設定されたロジックスレッシュOLD電圧を持つインバータ回路であることを特徴とする特許請求の範囲第1又は第2項記載のダイナミック型RAM。

4. 上記電圧比較回路は、上記増幅MOSFETの共通ソース接続線における上記パワースイッチMOSFETが設けられた端と反対側の端に設けられるものであることを特徴とする特許請求の範囲第1、第2又は第3項記載のダイナミック型RAM。

発明の詳細な説明

(技術分野)

この発明は、ダイナミック型RAM(ランダム・アクセス・メモリ)に関するもので、例えば、その動作電圧が共通のパワースイッチMOSFETによって供給されることによって動作状態にさ

て検出することにより、センスアンプ回路の動作状態をモニターしてカラム選択タイミングを規定するものである。

(実施例)

第1図には、この発明に係るダイナミック型RAMの一実施例の回路図が示されている。同図の各回路素子は、公知のCMOS（相補型MOS）集積回路の製造技術によって、1個の単結晶シリコンのような半導体基板上において形成される。以下の説明において、特に説明しない場合、MOSFET（絶縁ゲート型電界効果トランジスタ）はNチャンネルMOSFETである。なお、同図において、ソース・ドレイン間に直線が付加されたMOSFETはPチャンネル型である。

特に制限されないが、集積回路は、単結晶P型シリコンからなる半導体基板に形成される。NチャンネルMOSFETは、かかる半導体基板表面に形成されたソース領域、ドレイン領域及びソース領域とドレイン領域との間の半導体基板表面に薄い厚さのゲート絶縁膜を介して形成されたポリ

シリコンからなるようなゲート電極から構成される。PチャンネルMOSFETは、上記半導体基板表面に形成されたN型ウェル領域に形成される。これによって、半導体基板は、その上に形成された複数のNチャンネルMOSFETの共通の基板ゲートを構成する。N型ウェル領域は、その上に形成されたPチャンネルMOSFETの基板ゲートを構成する。PチャンネルMOSFETの基板ゲートすなわちN型ウェル領域は、第1図の電源端子Vccに結合される。

第1図において、基板バックバイアス電圧発生回路Vbb-Gは、集積回路の外部端子を構成する電源端子Vccと基準電位端子もしくはアース端子との間に加えられる+5Vのような正電源電圧に応答して、半導体基板に供給すべき負のバックバイアス電圧Vbbを発生する。これによって、NチャンネルMOSFETの基板ゲートにバックバイアス電圧が加えられることになり、そのソース、ドレインと基板間の寄生容量値が減少させられるため、回路の高速動作化が図られる。

メモリアレイM-ARYは、その一対の行が代表として示されており、一対の平行に配置された相補データ線D、 \bar{D} に、アドレス選択用MOSFETQmと情報記憶用キャパシタCsとで構成された複数のメモセルのそれぞれの入出力ノードが同図に示すように所定の規則性をもって配分されて結合されている。

プリチャージ回路PC1は、代表として示されたMOSFETQ5のように、相補データ線D、 \bar{D} 間に設けられたスイッチMOSFETにより構成される。

センスアンプSAは、代表として示されたPチャンネルMOSFETQ7、Q9と、NチャンネルMOSFETQ6、Q8とからなるCMOSラッチ回路で構成され、その一対の入出力ノードが上記相補データ線D、 \bar{D} に結合されている。また、上記ラッチ回路には、特に制限されないが、並列形態のPチャンネルMOSFETQ12、Q13を通して電源電圧Vccが供給され、並列形態のNチャンネルMOSFETQ10、Q11を通して

回路の接地電圧Vssが供給される。これらのパワースイッチMOSFETQ10、Q11及びMOSFETQ12、Q13は、同じメモリアレイ内の他の同様な行に設けられたラッチ回路に対して共通に用いられる。言い換えるならば、同じメモリアレイ内のラッチ回路におけるPチャンネルMOSFETとNチャンネルMOSFETとはそれぞれそのソースが共通接続される。

上記MOSFETQ10、Q12のゲートには、動作サイクルではセンスアンプSAを活性化させる相補タイミングパルス ϕ_{pal} 、 $\bar{\phi}_{pal}$ が印加され、MOSFETQ11、Q13のゲートには、上記タイミングパルス ϕ_{pal} 、 $\bar{\phi}_{pal}$ より遅れた、相補タイミングパルス ϕ_{pa2} 、 $\bar{\phi}_{pa2}$ が印加される。このようにすることによって、センスアンプSAの動作は2段階に分けられる。タイミングパルス ϕ_{pal} 、 $\bar{\phi}_{pal}$ が発生されたとき、すなわち第1段階においては、比較的小さいコンダクタンスを持つMOSFETQ10及びQ12による電流制限作用によってメモセルからの一対のデータ

カラムスイッチC-SWは、代表として示されているMOSFETQ42、Q43のように、相補データ線D、Dと共通相補データ線CD、 \overline{CD} を選択的に結合させる。これらのMOSFETQ42、Q43のゲートには、カラムデコードC-DCRからの選択信号が供給される。

カラムデコードC-DCRは、その動作がデータ線選択タイミング信号 ϕ_s とインバータ回路I-V2によって形成されたセンスアンプ回路の動作モニター信号 ϕ_{sm} とを受ける実質的なアンドゲート回路Gの出力タイミング信号 $\phi_{s'}$ によって制御され、カラムアドレスバッファY-ADBから供給される内部アドレス信号a8~a14と逆相のアドレス信号 $\overline{a8} \sim \overline{a14}$ をデコードすることによってカラムスイッチC-SWに供給すべき選択信号を形成する。

カラムアドレスバッファY-ADBは、外部端子A8~A14から供給されたアドレス信号を受けて、外部端子から供給されたアドレス信号と同相の内部アドレス信号a8~a14と逆相のアド

レス信号 $\overline{a8} \sim \overline{a14}$ （以下、これらを合わせてa8~a14のように表す。）を形成して、上記カラムデコードC-DCRに供給する。

上記共通相補データ線CD、 \overline{CD} 間には、上記同様なプリチャージ回路PC2を構成するプリチャージMOSFETQ44が設けられている。この共通相補データ線CD、 \overline{CD} には、上記センスアンプSAと同様な回路構成のメインアンプMAの一对の入出力ノードが結合されている。

読み出し動作ならば、データ出力バッファDOBはそのタイミング信号 ϕ_{rw} によって動作状態にされ、上記メインアンプMAの出力信号を増幅して外部端子I/Oから送出する。なお、書き込み動作なら、上記タイミング信号 ϕ_{rw} によってデータ出力バッファDOBの出力はハイインピーダンス状態される。

書き込み動作ならば、データ入力バッファDIBは、そのタイミング信号 ϕ_{rw} によって動作状態にされ、外部端子I/Oから供給された書き込み信号に従った相補書き込み信号を上記共通相補データ線

CD、 \overline{CD} に伝えることにより、選択されたメモリセルへの書き込みが行われる。なお、読み出し動作なら、上記タイミング信号 ϕ_{rw} によってデータ入力バッファDIBの出力はハイインピーダンス状態にされる。

上記のようにアドレス選択用MOSFETQ_mと情報記憶用キャパシタC_sとからなるダイナミック型メモリセルへの書き込み動作において、情報記憶用キャパシタC_sにフルライトを行うため、言い換えるならば、アドレス選択用MOSFETQ_m等のしきい値電圧により情報記憶用キャパシタC_sへの書き込みハイレベルのレベル損失が生じないようにするため、ワード線選択タイミング信号 ϕ_x によって起動されるワード線ブートストラップ回路（図示せず）が設けられる。このワード線ブートストラップ回路は、後述するようにワード線選択タイミング信号 ϕ_x とその遅延信号を用いて、ワード線選択タイミング信号 ϕ_x のハイレベルを電源電圧V_{cc}以上の高レベルとする。

上述した各種タイミング信号は、次の各回路ブ

ロックにより形成される。

回路記号ATDで示されているのは、特に制限されないが、アドレス信号a0~a7（又は $\overline{a0} \sim \overline{a7}$ ）とアドレス信号a8~a14（又は $\overline{a8} \sim \overline{a14}$ ）を受けて、その立ち上がり又は立ち下がりの変化検出するアドレス信号変化検出回路である。上記アドレス信号変化検出回路ATDは、特に制限されないが、アドレス信号a0~a14と、その遅延信号とをそれぞれ受ける排他的論理和回路と、これらの排他的論理和回路の出力信号を受ける論理和回路とによって構成される。すなわち、アドレス信号とそのアドレス信号の遅延信号とを受ける排他的回路が各アドレス信号に対して設けられている。この場合、合計15個の排他的論理和回路が設けられており、これらの15個の排他的論理和回路の出力信号が論理和回路に入力されている。このアドレス信号変化検出回路ATDは、アドレス信号a0~a14のうちいずれか1つでも変化すると、その変化タイミングに同期したアドレス信号変化検出パルス ϕ を形成する。

\overline{D} のレベルに従ったデータが現れる。

このようにしてコモン相補データ線 \overline{CD} 、 \overline{CD} に読み出された読み出し信号は、メインアンプ M_A により増幅される。そして、タイミングパルス ϕ_{rs} のハイレベルによりデータ出力バッファ D_OB が動作状態になって、外部端子から読み出し出力 D_{out} を送出する（図示せず）。

〔効果〕

(1) カラム選択タイミングはセンスアンプ回路の動作状態をモニターすることによって形成されたタイミング信号により規定されるようにするものである。これにより、カラム選択タイミングは、素子特性のバラツキ、電源変動等に影響されることなく最適タイミングに設定できるから無駄な時間マージンを設ける必要がなく、動作の高速化を図ることができるという効果が得られる。

(4) 上記(1)により、素子特性のバラツキ、電源変動に影響されることなく、最適タイミングでカラム選択動作を行わせることができるから、動作マージンの向上を図ることができるという効果が得ら

れる。

(3) 上記センスアンプ回路の動作モニター信号を、その動作電圧を供給するパワースイッチ $MOSFET$ に対して遠端側から得ることによって、全センスアンプ回路の動作状態を識別する上で確実なモニター信号を形成することができるという効果が得られる。

(4) センスアンプ回路の動作状態のモニターのために、その動作電圧を識別する電圧比較回路としてインバータ回路を用いることによって、極めて簡単な回路により上記(1)ないし(4)の効果を實現することができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいままでもない。例えば、センスアンプ回路は、そのゲートとドレインとが交差結線された差動増幅 $MOSFET$ と、その共通ソース線に回路の接地電位を供給するパワースイッチ $MOSFET$ とにより構成

するものであってもよい。言い換えるならば、上記第1図の実施例において、例えば、Pチャンネル $MOSFET$ を全て省略したものであってもよい。この場合に、メモリアレイ $M-ARY$ の周辺回路としてダイナミック型論理回路により構成するものであってもよい。

センスアンプ回路の動作状態のモニター出力であるタイミング信号 ϕ_{ss} をタイミング発生回路 TG に供給して、このタイミング発生回路 TG に含まれるデータ線選択タイミング発生回路を上記タイミング信号 ϕ_{ss} によって直接制御することによって、このタイミング信号 ϕ_{ss} に同期したデータ線選択タイミング信号 ϕ_y を形成するようにするものであってもよい。

また、センスアンプ回路の動作状態を識別するための動作電圧の観測点は、共通ソースの遠端側に限らなくても良い。なぜなら、そのモニター出力に一定の遅延時間を持たせても上記同様なタイミング制御を實現できるからである。

さらに、上記ダイナミック型 RAM を構成する

他の周辺回路の具体的な回路構成は、種々の実施形態を採ることができるものである。例えば、アドレス信号は、共通のアドレス端子からアドレスストローブ信号 RAS と CAS に同期して多重化して供給するもの、メモリの読み出しのための基準電圧はダミーセルを用いて形成するもの、データ線のプリチャージは電源電圧レベルとするもの等であってもよい。なお、自動リフレッシュ回路は、特に必要とされるものではない。

〔利用分野〕

この発明は、ダイナミック型 RAM に広く利用できるものである。

図面の簡単な説明

第1図は、この発明の一実施例を示す回路図、

第2図は、その動作を説明するためのタイミング図である。

$M-ARY$ ・・・メモリアレイ、 $PC1$ ・・・プリチャージ回路、 SA ・・・センスアンプ、 $C-SW$ ・・・カラムスイッチ、 $R-DCR$ ・・・ロウアドレスデコード、 $C-DCR$ ・・・カラムアドレスデコ

第 2 圖

